

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

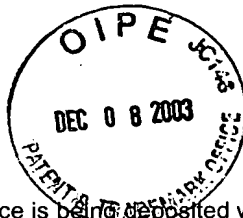
Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

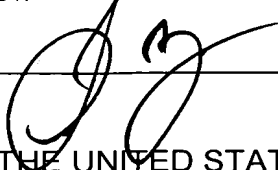
**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

Docket No.: MUH-12827



I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By:  Date: December 3, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No. : 10/675,492  
Applicant : Georg Braun et al.  
Filed : September 30, 2003  
Art Unit : to be assigned  
Examiner : to be assigned

Docket No. : MUH-12827  
Customer No.: 24131

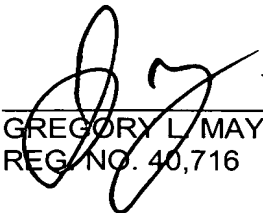
CLAIM FOR PRIORITY

Mail Stop: Missing Parts  
Hon. Commissioner for Patents,  
Alexandria, VA 22313-1450  
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 45 536.8 filed September 30, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

  
\_\_\_\_\_  
GREGORY L. MAYBACK  
REG. NO. 40,716

Date: December 3, 2003

Lerner and Greenberg, P.A.  
Post Office Box 2480  
Hollywood, FL 33022-2480  
Tel: (954) 925-1100  
Fax: (954) 925-1101

/mjb



**Prioritätsbescheinigung über die Einreichung  
einer Patentanmeldung**

**Aktenzeichen:** 102 45 536.8

**Anmeldetag:** 30. September 2002

**Anmelder/Inhaber:** Infineon Technologies AG, München/DE

**Bezeichnung:** Kalibrieren von Halbleitereinrichtungen mittels einer  
gemeinsamen Kalibrierreferenz

**IPC:** G 06 F, H 04 L

**Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ur-  
sprünglichen Unterlagen dieser Patentanmeldung.**

München, den 22. September 2003  
**Deutsches Patent- und Markenamt**  
**Der Präsident**  
Im Auftrag

A handwritten signature in black ink, appearing to read 'Bray', is written over the printed text 'Im Auftrag'.

# MÜLLER • HOFFMANN & PARTNER – PATENTANWÄLTE

European Patent Attorneys – European Trademark Attorneys

Innere Wiener Strasse 17  
D-81667 München

Anwaltsakte: 12278

Ko/mk

Anmelderzeichen: 200211292  
(2002 E 11014 DE)

30.09.2002

## **Infineon Technologies AG**

St.-Martin-Straße 53  
81669 München

---

**Kalibrieren von Halbleitereinrichtungen  
mittels einer gemeinsamen Kalibrierreferenz**

---

---

Beschreibung

Kalibrieren von Halbleitereinrichtungen mittels einer gemeinsamen Kalibrierreferenz

5

Die Erfindung betrifft das Kalibrieren von Schnittstelleneinrichtungen in Halbleitereinrichtungen mittels einer Kalibrierreferenz.

- 10 In Datenbussystemen werden auf zu einem gemeinsamen Datenbus zusammengefassten Datenleitungen Datensignale zwischen einer Mehrzahl von Halbleitereinrichtungen übertragen. Mit steigenden Datenübertragungsraten auf dem Datenbus werden zur Wahrung der Integrität der auf den Datenbus übertragenen Datensignale von den auf den Datenbus schreibend oder vom Datenbus lesend zugreifenden Halbleitereinrichtungen engere Toleranzen der Schnittstellenparameter (Interfaceparameter) gefordert.
- 15 Ein erster solcher Schnittstellenparameter ist die Impedanz von Ausgangstreibern (OCD, off chip driver), mit denen eine Halbleitereinrichtung Datensignale auf Datensignalleitungen des Datenbusses ausgibt. Einen weiteren Schnittstellenparameter bilden Terminierungen, die in der Halbleitereinrichtung den Datenbus zur Vermeidung von Reflexionen lokal abschließen (OCT, on chip termination).
- 20

25

- Die Schnittstellenparameter sind Fertigungsschwankungen unterworfen und variieren sowohl von Halbleitereinrichtung zu Halbleitereinrichtung als auch innerhalb einer Halbleitereinrichtung von Ausgangstreiber zu Ausgangstreiber. Die Schnittstellenparameter sind weiterhin von Einbaubedingungen der Halbleitereinrichtung abhängig und an eine Konfiguration des Datenbussystems anzupassen. Ferner sind die Schnittstellenparameter während eines Betriebs der Halbleitereinrichtung zeitlichen Schwankungen unterworfen. Die zeitlichen Schwan-
- 30

kungen resultieren dabei etwa aus einer Temperaturabhängigkeit der Schnittstellenparameter oder deren Abhängigkeit von einer Betriebsspannung der Halbleitereinrichtung.

- 5 Für den Betrieb in Datenbussystemen mit hoher Datenübertragungsrate werden daher die Schnittstellenparameter der Halbleitereinrichtung mindestens einmal vor oder während einer Inbetriebnahme der Halbleitereinrichtung oder wiederholt während des Betriebs der Halbleitereinrichtung durch eine in der  
10 Halbleitereinrichtung realisierte Kalibriereinheit mit einem Sollwert verglichen und bei Bedarf neu abgeglichen. Der Sollwert wird dabei anhand einer Kalibrierreferenz ermittelt. Für den Abgleich sind sowohl analoge als auch digitale Verfahren unter der Verwendung von state machines und Verstärkerschaltungen bekannt.

- Für DRAMs (dynamic random access memories) nach dem DDR- (double data rate)-Standard kann ein Abgleich der Ausgangstreiber herkömmlicherweise durch ein Einprägen eines Kalibrierstroms über die Anschlüsse der Ausgangstreiber, ein Mes-  
20 sen des durch den Kalibrierstrom erzeugten Spannungsabfalls über die Ausgangstreiber und den Vergleich des gemessenen Spannungsabfalls mit einem Sollwert für den Spannungsabfall erfolgen. Zum Abgleich wird der Wert eines Stellglieds für  
25 den Ausgangstreiber über einen Eintrag in einem Moderegister des DRAMs eingestellt. Ein solcher Abgleich der Ausgangstreiber wird in der Regel vor einer Inbetriebnahme der Halbleitereinrichtung in einem Datenbussystem in einem Prüffeld durchgeführt. Ein Anpassen an konkrete Einbauparameter ist  
30 dann nicht möglich.

Die Kalibrierreferenz wird etwa als Spannungsreferenz oder Kalibrierwiderstand entweder innerhalb der Halbleitereinrichtung oder außerhalb der Halbleitereinrichtung vorgesehen.

Bei einer Anordnung der Kalibrierreferenz im Innern der Halbleitereinrichtung ist insbesondere der Umstand nachteilig, dass ein Wert der Kalibrierreferenz bereits zum Zeitpunkt der Fertigung der Halbleitereinrichtung festzulegen ist. Damit ist aber andererseits ein Anpassen der Schnittstellenparameter hinsichtlich einer Konfiguration des Datenbussystems nur dann möglich, wenn die Halbleitereinrichtung in verschiedenen Serien mit jeweils voneinander verschiedenen Werten für die Kalibrierreferenz gefertigt wird.

Dagegen ermöglicht eine externe, mit einem Kalibrieranschluss der Halbleitereinrichtung verbundene Kalibrierreferenz eine späte und dem jeweiligen Datenbussystem angepasste Festlegung des Wertes der Kalibrierreferenz. Ferner lassen sich vorteilhaft die Genauigkeit und etwa weitere Kompensationsschaltungen zur Stabilisierung der Kalibrierreferenz, sowie im Weiteren die Systemkosten, den Anforderungen an das Datenbussystem anpassen.

In der Fig. 1 ist ein DDR-DRAM 1' mit mittels einer externen Kalibrierreferenz 5 kalibrierbaren Ausgangstreibern 6 dargestellt. Zur Vereinfachung ist dabei die Darstellung auf für die in diesem Zusammenhang wesentlichen Komponenten des DDR-DRAMs reduziert. Das DDR-DRAM 1' weist Steuer- und Adressenanschlüsse 21 zum Anschluss eines Steuer- und Adressenbusses CA, Datenanschlüsse 22 zum Anschluss eines durch Datenleitungen DQ, DM, DQS gebildeten Datenbusses und einen Kalibrieranschluss 32 auf. Die Kalibrierreferenz 5 ist an den Kalibrieranschluss 32 angeschlossen. Eine über einen Kalibrierpfad 31 mit dem Kalibrieranschluss 32 verbundene Kalibriereinheit 3 gleicht mittels der Kalibrierreferenz 5 die Ausgangstreiber 6 ab.

Eine zu einem Datenbussystem angeordnete Mehrzahl der mittels der Fig. 1 beschriebenen DDR-DRAMs 1' ist in der Fig.2 dargestellt. Dabei ist jedem DDR-DRAM 1' eine externe Kalibrierreferenz 5 zugeordnet.

5 Ein Verfahren zur Kalibrierung von schnell schaltenden Ausgangstreibern außerhalb des Prüffelds in einer Betriebsumgebung ist in der US 6,330,194 B1 (Thomann et al.) beschrieben. Dabei erfolgt ein Abgleich einer Gruppe von Ausgangstreibern, etwa der Ausgangstreiber für einen Datenbus eines DDR-DRAMs, analog des Ergebnisses eines Abgleichs für einen weiteren, den Datenbus-Ausgangstreiber im Wesentlichen ähnlichen Kalibriertreiber. Ein vom Kalibriertreiber getriebener Signalpegel wird mit einer Referenzspannung abgeglichen, wobei zur Nach-  
10 bildung der durch die Buskonfiguration gebildeten Last der Ausgangstreiber der Ausgang des Kalibriertreibers während des Abgleichs auf eine zum Datenbus parallel geführte weitere Datenleitung, etwa eine Datenmaskenleitung (DN, data mask), geschaltet wird.

20 Nachteilig an bekannten Anordnungen mit externen Kalibrierreferenzen ist in Systemen mit hoher Speicherdichte der hohe Platzbedarf für die Kalibrierreferenzen im Vergleich zum Platzbedarf korrespondierender Halbleiterspeichereinrichtungen.  
25 gen.

Aufgabe der vorliegenden Erfindung ist es daher, ein Kalibrierverfahren für Halbleitereinrichtungen zur Verfügung zu stellen, mit dem der Platzbedarf für Kalibrierreferenzen bei  
30 im Vergleich zu herkömmlichen Verfahren im Wesentlichen gleicher Güte der Kalibrierung reduziert ist. Weiter ist es Aufgabe der vorliegenden Erfindung, ein Betriebsverfahren für eine Mehrzahl von kalibrierbaren Halbleitereinrichtungen zur Verfügung zu stellen, sowie eine Halbleitereinrichtung und



eine Anordnung von Halbleitereinrichtungen, die jeweils ein solches Kalibrier- bzw. Betriebsverfahren ermöglichen.

Das die Aufgabe lösende Kalibrierverfahren für Halbleitereinrichtungen ist im Patentanspruch 1 angegeben. Das die Aufgabe lösende Betriebsverfahren für Halbleitereinrichtungen geht aus dem Patentanspruch 7 hervor. Die Aufgabe wird ferner bei einer Halbleitereinrichtung durch die im kennzeichnenden Teil des Patentanspruchs 9, bei einem Speichermodul durch die im kennzeichnenden Teil des Patentanspruchs 13 angegebenen Merkmale gelöst.

Das erfindungsgemäße Verfahren zum Kalibrieren von Schnittstelleneinrichtungen in Halbleitereinrichtungen mittels einer mit mindestens einem Kalibrieranschluss einer Halbleitereinrichtung verbundenen Kalibrierreferenz umfasst also die Schritte:

- 1) Vorsehen einer Mehrzahl von jeweils eine mit dem Kalibrieranschluss über einen durch eine Schalteinheit schaltbaren Kalibrierpfad verbundene Kalibriereinheit aufweisenden Halbleitereinrichtungen,
- 2) Erzeugen jeweils eines die Kalibriereinheit mit dem Kalibrieranschluss mittels der Schalteinheit verbindenden aktiven Kalibriersignals in einer ersten Halbleitereinrichtung,
- 3) Durchführen einer Kalibrierung der Schnittstelleneinrichtungen der ersten Halbleitereinrichtung,
- 4) Erzeugen eines die Kalibriereinheit mittels der Schalteinheit vom Kalibrieranschluss trennenden passiven Kalibriersignals und
- 5) jeweiliges Wiederholen der Schritte 2) bis 4) für alle weiteren Halbleitereinrichtungen.

Gemäß dem erfindungsgemäßen Verfahren wird demnach einer Mehrzahl von Halbleitereinrichtungen eine einzige Kalibrierreferenz zugeordnet. Die Halbleitereinrichtungen werden nacheinander jeweils einzeln abgeglichen, wobei nur der Kalibrieranschluss der jeweils gerade die Kalibrierung ausführende Halbleitereinrichtung über eine interne Schalteinheit mit der Kalibriereinheit verbunden und die Kalibrieranschlüsse aller anderen Halbleitereinrichtungen intern hochohmig geschaltet werden.

10

Hochdichte Speichermodule zum Einsatz etwa in PCs, Workstations und Servern, z.B. DDR-DIMMs (double data rate dual in line memory modules), unterliegen in ihren Abmessungen engen Industriestandards. Andererseits ergibt sich für hochdichte Speichermedien die Anforderung, eine möglichst hohe Zahl von Speicherbausteinen auf dem Speichermodul zu integrieren. Eine Reduzierung der Anzahl von auf dem Speichermodul zu integrierenden Bauteilen führt vorteilhafterweise zu einer wesentlichen Vereinfachung der Bauteilplatzierung (placement), sowie dem Führen von Leiterbahnen (routing) auf dem Speichermodul. Bei heute gängigen Konfigurationen für Speichermodule entfallen erfindungsgemäß vorteilhafterweise 15 bis 31 Kalibrierreferenzen.

25

Da andererseits auf einem Speichermodul bestenfalls nur mehr eine Kalibrierreferenz angeordnet ist, wird neben einer einfachen Realisierung als ohmscher Widerstand oder Spannungsreferenz auch eine präzisere Realisierung der Kalibrierreferenz, etwa mit einer Temperaturkompensation, ermöglicht.

30

Die Kalibrierung einzelner oder aller zu einem Datenbussystem angeordneten Halbleitereinrichtungen ist durch eine Wiederholung der obigen Schritte zwei bis fünf periodisch oder als

Reaktion auf eine Betriebsbedingung des Datenbussystems möglich.

Bevorzugterweise sind die Halbleitereinrichtungen mit einer  
5 Befehlsauswertungseinheit vorgesehen, die mit zum Anschluss  
eines Steuer- und Adressenbus vorgesehenen Steuer- und Adres-  
senanschlüssen der Halbleitereinrichtung verbunden ist. Dabei  
wird das Kalibriersignal in Abhängigkeit eines über den Steu-  
er- und Adressenbus übertragenen Kalibrierbefehls in der Be-  
10 fehlsauswertungseinheit erzeugt. Das Ausführen der Kalibrie-  
rung wird dann durch ein der Halbleitereinrichtung hierar-  
chisch übergeordnetes System gesteuert.

Für Datenbussysteme, in denen jeweils der gesamte Datenbus an  
15 jede der zum Datenbussystem angeordneten Halbleitereinrich-  
tungen anliegt, wird ein Paketprotokoll auf dem Steuer- und  
Adressenbus ausgeführt, das eine einzelne Adressierung jeder  
einzelnen Halbleitereinrichtung ermöglicht. Ein Beispiel für  
ein solches Datenbussystem ist ein Fly-By-Bus.

20 Dagegen ist bei einem hybriden Datenbussystem der Datenbus  
systemweit wesentlich breiter als eine Datenbusschnittstelle  
an den Halbleitereinrichtungen.

25 In diesem Fall reicht eine Adressierung des Kalibrierbefehls  
ausschließlich über den Steuer- und Adressenbus nicht mehr  
aus. Erfindungsgemäß wird für diesen Fall vorgesehen, die Be-  
fehlsauswertungseinheiten mit jeweils mindestens einen von  
zum Anschluss von Datenleitungen vorgesehenen Datenanschlüs-  
30 sen verbunden vorzusehen. Das Kalibriersignal wird dann in  
Abhängigkeit eines über die Datenleitungen übertragenen Da-  
tensignals erzeugt.

- Seitens eines den Kalibrierbefehl erzeugenden Steuerbausteins (Busmaster) ist dabei zu gewährleisten, dass zu jedem Zeitpunkt maximal eine Halbleitereinrichtung den Kalibriervorgang ausführt. Dazu wird entweder eine Signalisierung einer abgeschlossenen Kalibrierung etwa in einem Moderegister der Halbleitereinrichtung oder eine zur Durchführung der Kalibrierung in einer Halbleitereinrichtung maximal erforderliche Kalibrierdauer abgewartet.
- 5
- 10 Typischerweise wird das erfindungsgemäße Kalibrierverfahren für Speicherbausteine mit einer DDR-Schnittstelle (double data rate) vorgesehen. Jedoch sind dem Fachmann weitere Applikationen, etwa beim Abgleich von Sensor-Arrays nahe gelegt.
- 15 Speicherbausteine mit DDR-Schnittstelle weisen Ausgangstreiber zur Ausgabe von Datensignalen auf den Datenleitungen und/oder Terminierungen zum reflexionsarmen Abschluss der Datenleitungen (DQ) auf. Durch einen Abgleich der Ausgangstreiber ergeben sich engere Toleranzbänder z. B. für Anstiegszeiten und Ansprechzeiten (slew rate) oder auch für den Einschaltwiderstand und in der Folge höhere Datenübertragungsraten.
- 20
- Bei einem Betriebsverfahren einer zu einem Datenbussystem mit
- 25 einem Steuer- und Adressenbus und einem mindestens teilweise gemeinsamen Datenbus angeordneten Mehrzahl von jeweils mit einer gemeinsamen Kalibrierreferenz verbundenen Halbleitereinrichtungen wird eine Kalibrierung der Halbleitereinrichtungen periodisch und/oder in Abhängigkeit von Betriebs-
- 30 zuständen des Datenbussystems durchgeführt. Dazu werden über den Steuer- und Adressenbus (CA) mittelbar oder unmittelbar aufeinanderfolgend jeweils einzeln Kalibrierbefehle zu den Halbleitereinrichtungen übertragen und in der jeweils adressierten Halbleitereinrichtung eine Kalibrierung ausgeführt.

Reicht eine Adressierung des Kalibrierbefehls ausschließlich über den Steuer- und Adressenbus aufgrund der Buskonfiguration nicht aus, so wird erfindungsgemäß vorgesehen, die Halbleitereinrichtung zur Kalibrierung in Abhängigkeit eines weiteren über mindestens eine Datensignal-, Datenmasken- oder Datenstrobesignalleitung übertragenen Datensignals zu adressieren.

- 10 Eine für das erfindungsgemäße Kalibrierverfahren geeignete Halbleitereinrichtung weist neben Steuer- und Adressenanschlüssen zum Anschluss eines Steuer- und Adressenbusses, Datenanschlüssen zum Anschluss eines Datenbusses, einen Kalibrieranschluss zum Anschluss einer Kalibrierreferenz, einer
- 15 mit den Steuer- und Adressenanschlüssen verbundene Befehlsauswertungseinheit und einer über einen Kalibrierpfad mit dem Kalibrieranschluss verbundene Kalibriereinheit eine steuerbare Schalteinheit auf. Mittels der steuerbaren Schalteinheit ist der Kalibrierpfad in Abhängigkeit von über den
- 20 Steuer- und Adressenbus zur Befehlsauswertungseinheit übertragenen Kalibrierbefehlen zu öffnen und zu schließen.

In einer weiteren Ausführungsform der erfindungsgemäßen Halbleitereinrichtung ist die Schalteinheit in Abhängigkeit eines

25 über mindestens eine weitere Datenleitung übertragenen Datensignals steuerbar.

Bevorzugt sind dabei die Halbleitereinrichtungen als DRAMs mit DDR-Schnittstelle ausgebildet.

30

Die Vorzüge des erfindungsgemäßen Kalibrierverfahrens bzw. der erfindungsgemäßen Halbleitereinrichtung betreffen insbesondere mit einer Mehrzahl von erfindungsgemäß als DDR-DRAMs ausgebildeten Halbleitereinrichtungen bestückte Speichermodu-

le für Computersysteme. Die Abmessungen und elektrischen Schnittstellen der Speichermodule sind Industriestandards unterworfen. Dabei sind die Abmessungen der Speichermodule in der Regel hinsichtlich einer standardmäßig vorgesehenen Zahl  
5 von 16 oder 32 Halbleitereinrichtungen pro Speichermodul in einer Weise minimiert, dass ein Platzieren und eine Verdrahtung zusätzlicher Bauteile und Komponenten wie etwa von Kalibrierreferenzen nur außerordentlich erschwert möglich sind. Ein erfindungsgemäßes Speichermodul weist nun anstelle von  
10 standardmäßig 16 oder 32 Kalibrierreferenzen eine einzige auf, die auch schnell an verschiedene Einbauverhältnisse anzupassen ist.

Nachfolgend wird die Erfindung anhand von Figuren näher erläutert, wobei für einander entsprechende Komponenten gleiche  
15 Bezugszeichen verwendet werden. Es zeigen:

Fig. 1 Eine schematische Darstellung einer herkömmlichen Halbleitereinrichtung,  
20

Fig. 2 eine schematische Darstellung einer herkömmlichen Anordnung,

Fig. 3 eine schematische Darstellung einer erfindungsgemäßen Halbleitereinrichtung,  
25

Fig. 4 eine schematische Darstellung einer erfindungsgemäßen Anordnung nach einem ersten Ausführungsbeispiel und

30 Fig. 5 eine schematische Darstellung einer erfindungsgemäßen Anordnung nach einem zweiten Ausführungsbeispiel.

Die Fig. 1 und 2 wurden bereits eingangs erläutert.

Die in der Fig. 3 gezeigte erfindungsgemäße Halbleitereinrichtung 1 ist eine Halbleiterspeichereinrichtung mit DDR-Schnittstelle. Die Halbleitereinrichtung weist einen Kalibrieranschluss 32 auf, der über eine Kalibrierreferenz 5 mit einem Hilfspotential VP verbunden ist. Ferner sind an der Halbleitereinrichtung 1 Steuer- und Adressenanschlüsse 21 zum Anschluss eines Steuer- und Adressenbus CA vorgesehen. Ein über den Steuer- und Adressenbus CA übertragener Kalibrierbefehl wird von einer Befehlsauswerteeinheit 2 in ein Kalibriersignal umgesetzt, das über einen Kalibriersignalfeld 41 zu einer Schalteinheit 4 geführt ist. Die Schalteinheit 4 ist in einem Kalibrierpfad 31 angeordnet. In Abhängigkeit des Kalibriersignals ist der Kalibrieranschluss 32 mittels der Schalteinheit 4 mit einer Kalibriereinheit 3 verbunden oder ohne interne Verbindung.

Die Kalibriereinheit 3 ist entweder selbst steuernd oder wird über einen strichliert gezeichneten Hilfspfad 42 von der Befehlsauswerteeinheit 2 aktiviert und gleicht Ausgangstreiber 6 mit Hilfe einer mittels der Kalibrierreferenz 5 erzeugten Hilfsspannung ab.

Zur Aktivierung des Kalibriersignals ist weiterhin eine Bewertung von an Datenanschlüssen 22 anliegenden Datensignalen eines Datenbus DQ, eines Datenmaskenbus DM und/oder von Datenstrobesignalen DQS in der Befehlsauswerteeinheit 2 möglich.

In der in der Fig. 4 dargestellten Anordnung sind mehrere der in der Fig. 3 gezeigten Halbleitereinrichtungen 1 zu einem Datenbussystem mit gemeinsamen Steuer- und Adressenbus CA und gemeinsamen Datenbus DQ zusammengefasst. Jede Halbleitereinrichtung 1 ist über eine gemeinsame Kalibrierreferenz 5 mit einem Hilfspotential VP verbunden. Jede Halbleitereinrichtung

1 ist über den Steuer- und Adressenbus CA einzeln adressierbar.

Gemäß dem erfindungsgemäßen Kalibrierverfahren sind die  
5 Schalteinheiten 4 aller Halbleitereinrichtungen 1 zunächst  
geöffnet und damit die Kalibrieranschlüsse 32 in den Halblei-  
tereinrichtungen 1 hochohmig geschaltet. Ein Kalibrierzyklus  
beginnt mit der Übertragung eines Kalibrierbefehls über den  
Steuer- und Adressenbus CA an eine erste Halbleitereinrich-  
10 tung 1. Der Kalibrierbefehl löst in der adressierten ersten  
Halbleitereinrichtung 1 ein aktives Kalibriersignal auf dem  
Kalibriersignalfad 41 aus. Die Schalteinheit 4 in der adres-  
sierten Halbleitereinrichtung 1 wird geschlossen und die Ka-  
libriereinheit 3 der adressierten Halbleitereinrichtung 1 mit  
15 der Kalibrierreferenz verbunden. Darauf wird die Kalibrierung  
etwa der Ausgangstreiber oder der Terminierungen der Halblei-  
tereinrichtung 1 durchgeführt.

Nach Ablauf einer Kalibrierdauer wird die Schalteinheit 4 ge-  
20 öffnet. Das Öffnen der Schalteinheit 4 erfolgt Zeit gesteuert  
nach Ablauf eines Timers, über ein Ausgangssignal der Kalib-  
riereinheit 3 (calibration complete) oder durch einen über  
den Steuer- und Adressenbus übertragenen Steuerbefehl. Ist  
sichergestellt, dass der Kalibrieranschluss 32 der ersten  
25 Halbleitereinrichtung 1 hochohmig geschaltet ist, also entwe-  
der nach Ablauf der Kalibrierdauer oder durch Auslesen des  
Kalibrierzustands aus einem Moderegister der Befehlsauswerte-  
einheit, wird ein weiterer Kalibrierbefehl an eine zweite  
Halbleitereinrichtung adressiert.

30 In einem wie in der Fig. 4 dargestellten Reihen- oder Fly-By-  
Datenbussystem weisen Datenbusschnittstellen der Halblei-  
tereinrichtungen 1 jeweils die gleiche Breite, also eine  
gleiche Anzahl von Datensignalleitungen auf und sind immer



einzelnen adressierbar. Zur eindeutigen Adressierung des Kalibrierbefehls ist also jeweils der Steuer- und Adressenbus CA ausreichend.

- 5 In hybriden Datenbussystemen, in denen jeweils lediglich ein Teil der Datensignalleitungen an die Halbleitereinrichtungen 1 geführt ist, werden durch den Steuer- und Adressenbus CA jeweils eine Mehrzahl von Halbleitereinrichtungen 1 gleichzeitig adressiert. So sieht beispielsweise das DDR-Buskonzept 10 eine Datenbusbreite von 64 Bit vor, während die Zahl von Datenbusanschlüssen auf den für das DDR-Buskonzept vorgesehenen Halbleitereinrichtungen 1 auf 16 Bit beschränkt ist. In einem solchen hybriden Datenbussystem werden bei einem Zugriff auf eine Datenadresse vier Halbleiterspeichereinrichtungen 1 15 gleichzeitig adressiert.

- Zur eindeutigen Zuordnung eines Kalibrierbefehls an eine dieser Halbleiterspeichereinrichtungen 1 wird zusätzlich zur Adressierung im Steuer- und Adressenbus CA eine weitere Information aus einem Datenbus DQ, einem Datenmaskenbus DM oder 20 den Datenstrobosignalen DQS herangezogen. Im in der Fig. 5 dargestellten Ausführungsbeispiel werden dazu etwa die Datensignalleitungen DQ[0] für die untere Halbleitereinrichtung, DQ[16] für den darüber angeordneten, DQ [32] für den nächsten 25 und DQ [48] für die obere Halbleitereinrichtung vorgesehen.

---

Patentansprüche

1. Verfahren zum Kalibrieren von Schnittstelleneinrichtungen (6) in Halbleitereinrichtungen (1) mittels einer mit mindestens einem Kalibrieranschluss (32) einer Halbleitereinrichtung (1) verbundenen Kalibrierreferenz (5), umfassend die Schritte:
- 1) Vorsehen einer Mehrzahl von jeweils eine mit dem Kalibrieranschluss (32) über einen durch eine Schalteinheit (4) schaltbaren Kalibrierpfad (31) verbundene Kalibriereinheit (3) aufweisenden Halbleitereinrichtungen (1),
- 2) Erzeugen jeweils eines die Kalibriereinheit (3) mittels der Schalteinheit (4) mit dem Kalibrieranschluss (32) verbindenden aktiven Kalibriersignals in einer ersten Halbleitereinrichtung (1),
- 3) Durchführen einer Kalibrierung der Schnittstelleneinrichtungen (6) der ersten Halbleitereinrichtung (1),
- 4) Erzeugen eines die Kalibriereinheit (3) mittels der Schalteinheit (4) vom Kalibrieranschluss (32) trennenden passiven Kalibriersignals und
- 5) jeweiliges Wiederholen der Schritte 2) bis 4) für alle weiteren Halbleitereinrichtungen (1).
2. Kalibrierverfahren nach Anspruch 1, dadurch gekennzeichnet, dass die Schritte 2) bis 5) periodisch oder als Reaktion auf eine Betriebsbedingung einer der Halbleitereinrichtungen (1) wiederholt werden.
3. Kalibrierverfahren nach einem der Ansprüche 1 oder 2, dadurch gekennzeichnet, dass in den Halbleitereinrichtungen (1) jeweils eine mit zum Anschluss eines Steuer- und Adressenbus (CA) vorgesehenen Steuer- und Adressenanschlüssen (21) der Halbleitereinrich-

tung (1) verbundene Befehlsauswertungseinheiten (2) vorgesehen wird und das aktive Kalibriersignal in Abhängigkeit eines über den Steuer- und Adressenbus (CA) übertragenen Kalibrierbefehls in der Befehlsauswertungseinheit (2) erzeugt wird.

5

4. Kalibrierverfahren nach Anspruch 3,  
dadurch gekennzeichnet,  
dass die Befehlsauswertungseinheiten (2) mit jeweils mindestens einen zum Anschluss einer Datenleitung (DQ, DM, DQS) vorgesehenen Datenanschluss (22) verbunden vorgesehen wird und das aktive Kalibriersignal in Abhängigkeit eines über die Datenleitung (DQ, DM, DQS) übertragenen Datensignals erzeugt wird.

15 5. Kalibrierverfahren nach einem der Ansprüche 1 bis 4,  
dadurch gekennzeichnet,  
dass als Halbleitereinrichtungen (1) Speicherbausteine mit einer DDR-Schnittstelle (double data rate) vorgesehen werden.

20 6. Kalibrierverfahren nach einem der Ansprüche 1 bis 5,  
dadurch gekennzeichnet,  
dass als die zu kalibrierende Schnittstelleneinrichtungen (6) Ausgangstreiber zur Ausgabe von Datensignalen auf Datensignalleitungen (DQ) und/oder Terminierungen zum reflexionsarmen  
25 Abschluss der Datensignalleitungen (DQ) vorgesehen werden.

7. Verfahren zum Betrieb von zu einem Datenbussystem mit einem Steuer- und Adressenbus (CA) und einem mindestens teilweise gemeinsamen Datenbus (DQ) angeordneten Mehrzahl von jeweils mit einer gemeinsamen Kalibrierreferenz (5) verbundenen  
30 Halbleitereinrichtungen (1),  
dadurch gekennzeichnet,  
dass periodisch und/oder in Abhängigkeit von Betriebszuständen des Datenbussystems über den Steuer- und Adressenbus (CA)

mittelbar oder unmittelbar aufeinanderfolgend jeweils einzelnen Kalibrierbefehle zu den Halbleitereinrichtungen (1) übertragen werden, in der jeweils adressierten Halbleitereinrichtung (1) ein Kalibrieranschluss (32) mit einer Kalibriereinheit (3) verbunden, eine Kalibrierung von Schnittstelleneinrichtungen (6) der adressierten Halbleitereinrichtung (1) mittels der Kalibriereinheit (3) durchgeführt und nach der Kalibrierung der Kalibrieranschluss (32) hochohmig geschaltet wird.

8. Betriebsverfahren nach Anspruch 7,  
dadurch gekennzeichnet,  
dass die Adressierung der Halbleitereinrichtung (1) zur Kalibrierung in Abhängigkeit eines über mindestens eine weitere Datenleitung (DQ, DM, DQS) übertragenen Datensignals erfolgt.

9. Halbleitereinrichtung mit Steuer- und Adressenanschlüssen (21) zur Anschluss eines Steuer- und Adressenbusses (CA), mit Datenanschlüssen (22) zum Anschluss eines Datenbusses (DQ), eines Kalibrieranschlusses (32) zum Anschluss einer Kalibrierreferenz (5), einer mit den Steuer- und Adressenanschlüssen (21) verbundenen Befehlsauswertungseinheit (2) und einer über einen Kalibrierpfad (31) mit dem Kalibrieranschluss (32) verbundenen Kalibriereinheit (3),  
gekennzeichnet durch  
eine den Kalibrierpfad (31) öffnende oder schließende und mittels der Befehlsauswertungseinheit (2) in Abhängigkeit von über den Steuer- und Adressenbus (CA) übertragenen Kalibrierbefehlen über einen Kalibriersignalfad (41) steuerbare Schalteinheit (4).

10. Halbleitereinrichtung nach Anspruch 9,  
dadurch gekennzeichnet, dass  
die Schalteinheit (4) in Abhängigkeit eines über mindestens  
eine Datenleitung (DQ, DM, DQS) übertragenen Datensignals  
steuerbar ist.

11. Halbleitereinrichtung nach einem der Ansprüche 9 oder 10,  
dadurch gekennzeichnet,  
dass die Halbleitereinrichtungen (1) als Speicherbausteine  
ausgebildet sind und jeweils eine DDR-Schnittstelle (double  
data rate) aufweisen.

12. Halbleitereinrichtung nach einem der Ansprüche 9 bis 11,  
gekennzeichnet durch  
mittels der Kalibriereinheit (5) kalibrierbare Ausgangstrei-  
ber zur Ausgabe von Datensignalen auf Datensignalleitungen  
(DQ) und/oder kalibrierbare Terminierungen zum Abschluss der  
Datensignalleitungen (DQ).

13. Speichermodul für Computersysteme,  
gekennzeichnet durch  
eine Mehrzahl von Halbleitereinrichtungen (1) gemäß einem der  
Ansprüche 9 bis 12.

---

## Zusammenfassung

Kalibrieren von Halbleitereinrichtungen mittels einer gemeinsamen Kalibrierreferenz

5

Schnittstellenparameter einer Mehrzahl von Halbleitereinrichtungen (1), insbesondere Parameter von Ausgangstreibern (6) (OCD, on chip driver) und Terminierungen (ODT, on die termination) von DDR-DRAMs (double data rate dynamic random access memories) werden mittels einer den Halbleitereinrichtungen (1) gemeinsamen, mit Kalibrieranschlüssen (32) der Halbleitereinrichtungen (1) verbundenen Kalibrierreferenz (5) abgeglichen, wobei die Halbleitereinrichtungen (1) nacheinander jeweils einzeln kalibriert werden und dabei der Kalibrieranschluss (32) der jeweils gerade die Kalibrierung ausführenden Halbleitereinrichtung (1) über eine interne Schalteinheit (4) mit einer internen Kalibriereinheit (3) verbunden und die Kalibrieranschlüsse (32) aller weiteren Halbleitereinrichtungen (1) intern hochohmig abgeschlossen werden.

15  
20

(Fig. 4)

---

Bezugszeichenliste

	1	Halbleitereinrichtung
	1'	Halbleitereinrichtung
5	2	Befehlsauswerteeinheit
	21	Steuer- und Adressenanschlüsse
	22	Datenanschlüsse
	3	Kalibriereinheit
	31	Kalibrierpfad
	32	Kalibrieranschluss
	4	Schalteinheit
	41	Kalibriersignalpfad
	42	Hilfspfad
	5	Kalibrierreferenz
15	6	Ausgangstreiber
	CA	Steuer- und Adressenbus
	DQ	Datenbus
	DM	Datenmaskenbus
	DQS	Datenstrobesignale
20	VP	Hilfspotential

Fig. 1

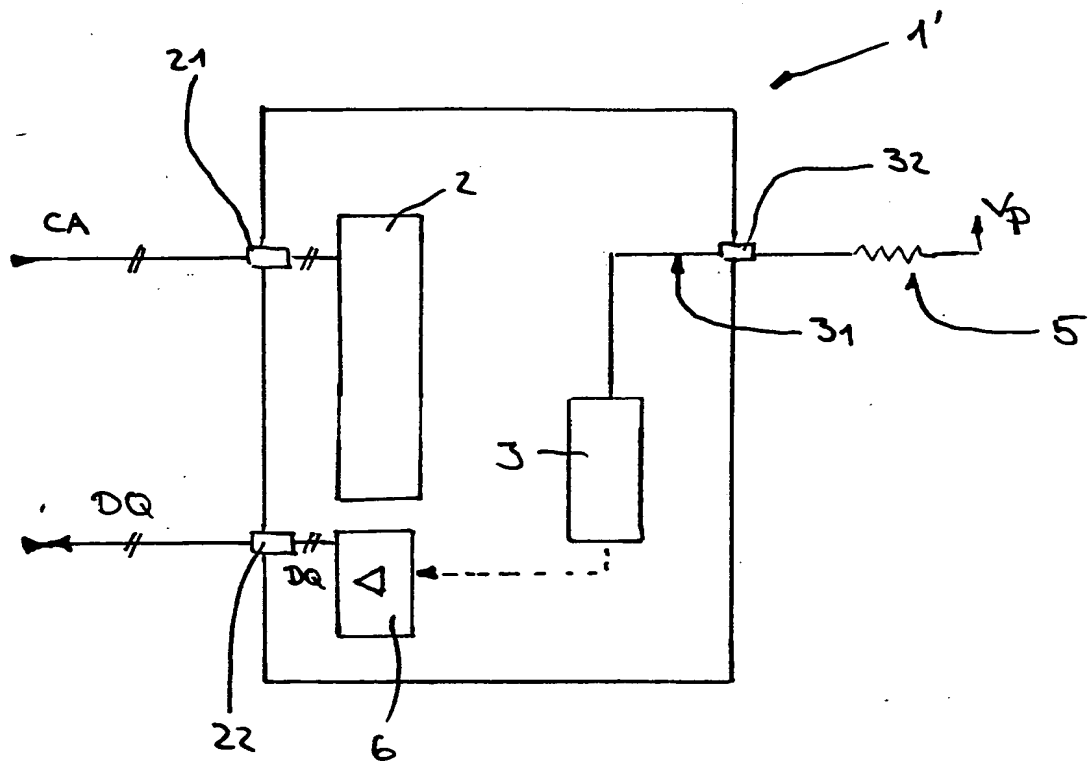
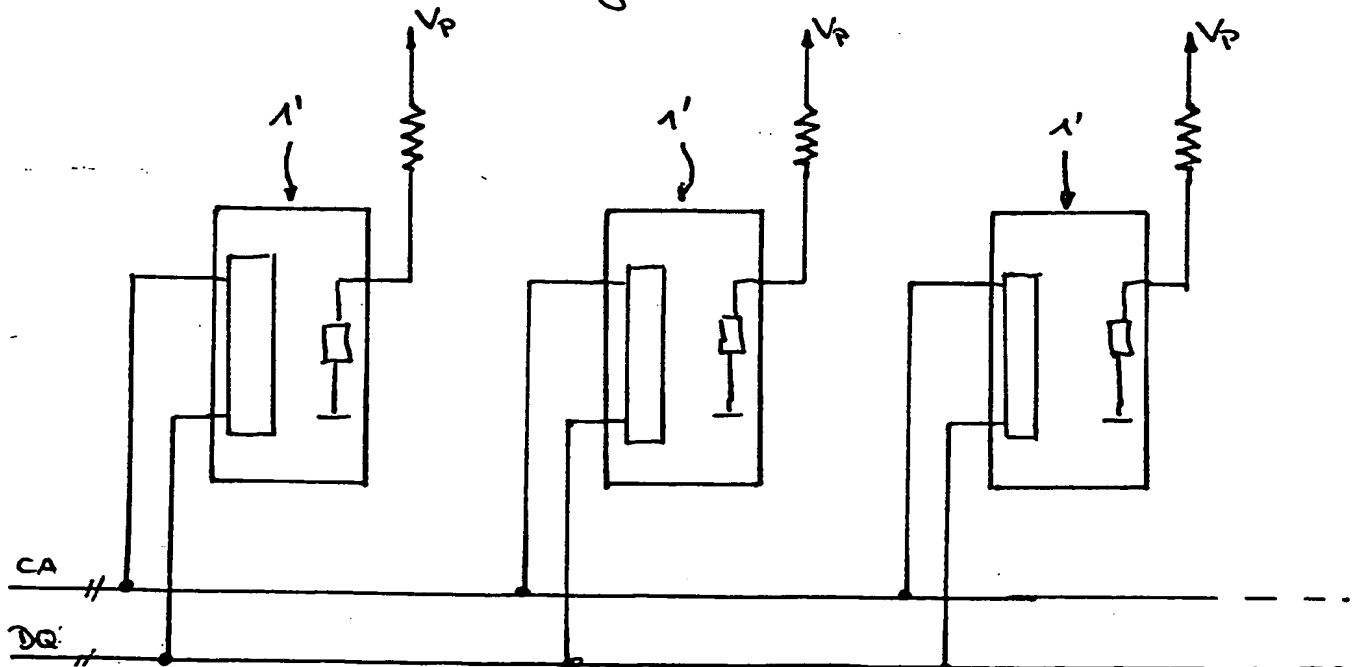


Fig. 2





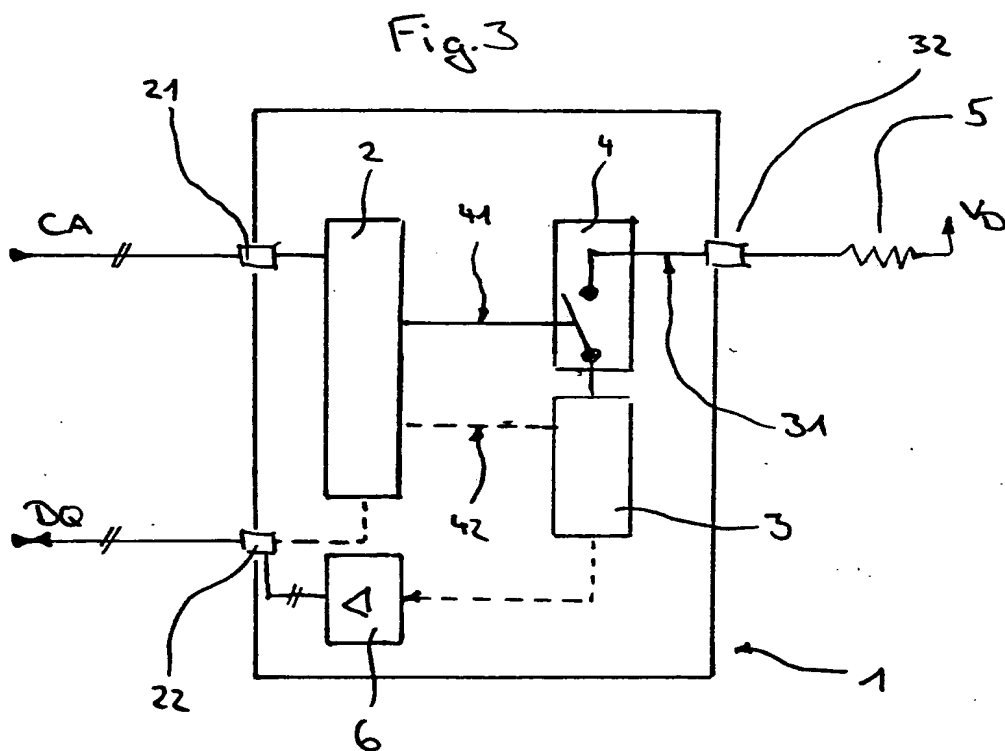


Fig. 4

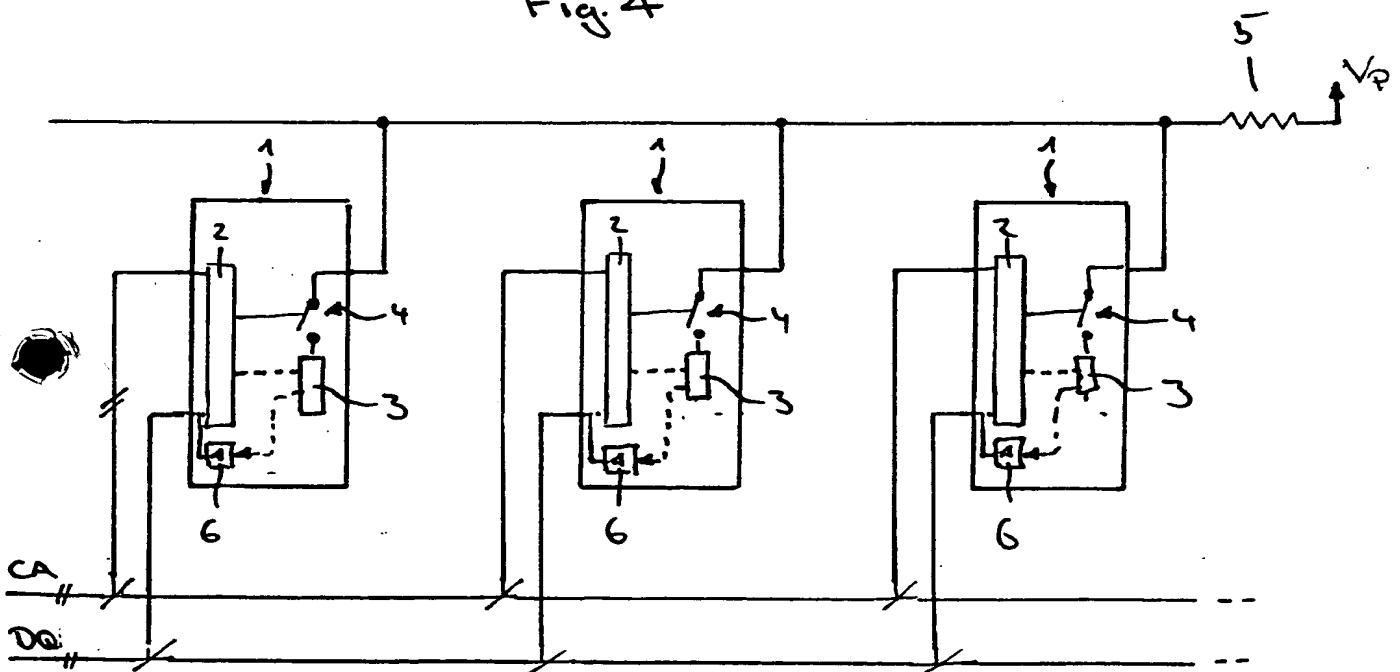
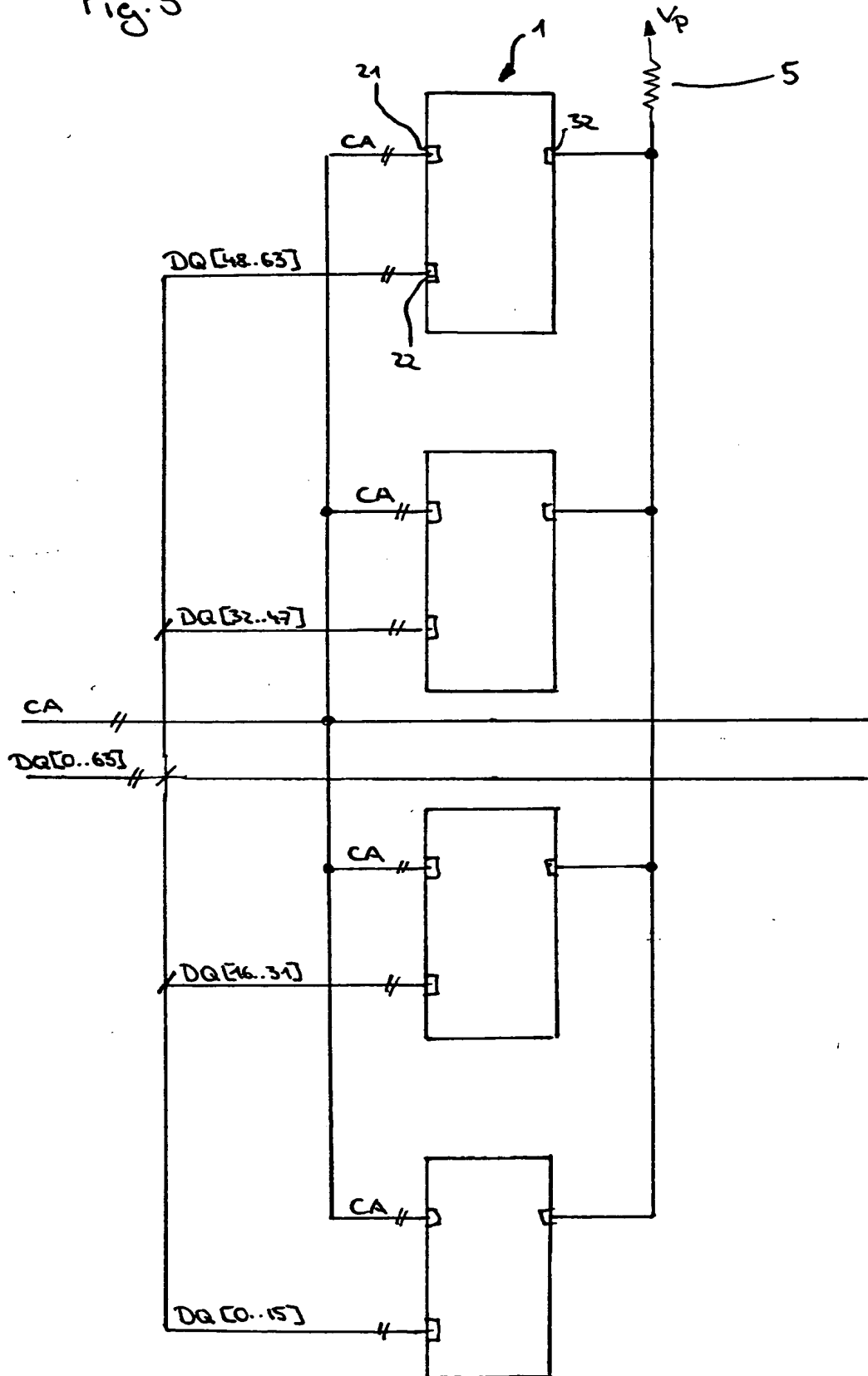


Fig. 5



# Figur für die Zusammenfassung

Fig. 4

